

BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

⑩¹⁰
⑩¹¹

Offenlegungsschrift 1 962 725

⑩¹²
⑩¹³
⑩¹⁴

Aktenzeichen: P 19 62 725.9
Anmeldetag: 15. Dezember 1969
Offenlegungstag: 11. November 1971

⑩¹⁵

Ausstellungsriorität: —

⑩¹⁶
⑩¹⁷
⑩¹⁸
⑩¹⁹

Unionspriorität: —
Datum: —
Land: —
Aktenzeichen: —

⑩²⁰

Bezeichnung: Binär kodierter, dekadisch einstellbarer logarithmischer Teiler

⑩²¹
⑩²²
⑩²³

Zusatz zu: —
Ausscheidung aus: —
Anmelder: Institut Dr. Friedrich Förster Prüfgerätebau, 7410 Reutlingen

⑩²⁴
⑩²⁵

Vertreter gem. § 16 PatG: —
Als Erfinder benannt: Kalisch, Alfons, 7410 Reutlingen

Benachrichtigung gemäß Art. 7 § 1 Abs. 2 Nr. 1 d. Ges. v. 4. 9. 1967 (BGBl I S. 960). —
Prüfungsantrag gemäß § 28 b PatG ist gestellt

Anmelder:
Institut Dr. Förster
741 Reutlingen
Grathwohlstr. 4

Binär kodierter, dekadisch einstellbarer logarithmischer Teiler.

Die Erfindung betrifft einen binär kodierten, dekadisch einstellbaren Teiler, d. h. einen Teiler, dessen Teilerstufen untereinander in einem logarithmischen Zusammenhang stehen, der in Dekaden logarithmischer Einheiten wie Dezibel (dB), Neper (Np) oder Phon eingestellt wird und bei dem die die Teilung bewirkenden Schaltelemente nach einem binären Code miteinander verknüpft sind.

Logarithmische Teiler kommen überall dort zum Einsatz, wo das Verhältnis zwischen größtem und kleinstem Ausgangswert des Teilers einen sehr hohen Zahlenwert einnimmt, so daß, etwa bei linearen dekadischen Teilern, eine zu hohe Anzahl von Dekaden erforderlich würde. Weiterhin werden logarithmische Teiler dort eingesetzt, wo ein physikalischer Zusammenhang logarithmischen Gesetzen folgt, wie etwa der Zusammenhang von Schalldruck und Lautstärke.

Die binäre Kodierung eines Teilers ermöglicht eine relativ einfache Programmierbarkeit, d. h. eine Einstellung des Teilers mit Hilfe einer begrenzten Anzahl von binären Signalen. Die Forderung nach einfacher Programmierbarkeit besitzt ständig zunehmende Bedeutung im Zusammenhang mit der fortschreitenden Automatisierung. Besonders vorteilhaft erweist sich die binäre Codierbarkeit eines Teilers für mehrkanalige Anwendungen, wo von einem Programmgeber, etwa einem Lochstreifen oder einem Einstellschalter, eine Anzahl von Teilern gleichzeitig gesteuert werden.

Es sind binär kodierte, dekadisch einstellbare lineare Teiler bekannt, zu deren Aufbau pro Dekade 4 Schaltelemente benötigt werden.

Weiterhin sind logarithmische Teiler bekannt, in denen mit Hilfe eines Schalters feste Stufen in Abständen von z. B. 1 dB oder 1 Np gewählt werden können, während die Bruchteile von dB oder Np durch ein logarithmisches Potentiometer oder auch durch einen bzw. mehrere zusätzliche Schalter eingestellt werden können.

Derartige Teiler lassen sich jedoch nicht programmieren. Darüberhinaus können solche Teiler, die ein logarithmisches Potentiometer benutzen, normalerweise nur sehr geringe Genauigkeitsanforderungen befriedigen.

Die Erfindung macht sich zur Aufgabe, die Vorteile der binären Kodierung auch auf logarithmische Teiler anzuwenden. Dabei soll auch höchsten Genauigkeitsanforderungen nachgekommen werden. Weiterhin soll der Aufwand in vertretbaren Grenzen bleiben.

Dazu sollen zunächst einmal die Verhältnisse bei binär kodierten linearen Teilern untersucht werden. Dabei soll die technische Lösung der obigen Aufgabe durch eine Analogiebetrachtung hergeleitet werden.

Bei einem linearen Teiler folgt das Verhältnis zwischen Ausgangs- und Eingangsspannung einer arithmetischen Reihe. Man erhält die Ausgangsspannungen für die einzelnen Teilerstufen, indem man die kleinsten Teilerschritte, die hier als Grundeinheiten bezeichnet werden sollen, aufsummiert.

Ein binär kodierter, dekadisch einstellbarer linearer Teiler besitzt normalerweise pro Dekade außer der Grundeinheit noch drei weitere Teilereinheiten mit von der Grundeinheit abweichender Wertigkeit. Durch Aufsummieren der vier Teilereinheiten nach einem bestimmten Code lassen sich alle gewünschten Teilerschritte der Dekade bilden.

So haben z. B. bei Benutzung des 1242-Code die Teilereinheiten die Wertigkeiten 1, 2, 4 und 2. Durch Aufsummierung der Wertigkeiten von ein oder mehr Teilereinheiten lassen sich alle Werte zwischen 1 und 9 bilden.

Zum Aufbau einer Dekade braucht man also weiter nichts, als vier in Serie geschaltete Teilereinheiten mit einer dem verwendeten Code entsprechenden Wertigkeit, also z. B. vier Widerstände mit den Werten R , $2R$, $4R$ und $2R$, die über Kontakte einzeln kurzgeschlossen sind. Durch Öffnen von jeweils einem oder mehreren Kontakten läßt sich jeder beliebige Teilerschritt innerhalb der Dekade ausführen.

Sollen mehrere Dekaden benutzt werden, so sind sie zur Summenbildung in Serie zu schalten.

Ein solcher Teiler, bei dem sich die Ausgangsspannung proportional zum eingestellten Widerstand ändern soll, erfordert naturgemäß einen konstanten Strom. Dieser läßt sich auf zwei Weisen realisieren. Die erste ergibt sich durch Speisung des Teilers aus einer Konstantstromquelle mit definitionsgemäß unendlich großem Innenwiderstand, die zweite durch Serenschaltung von Komplementärdekaden zu den Teilerdekaden, wobei die Summe der Werte beider Dekaden stets konstant sein muß.

Bei einem logarithmischen Teiler folgt das Verhältnis zwischen Ausgangs- und Eingangsspannung einer geometrischen Reihe. Man erhält die Ausgangsspannung nicht durch Aufsummierung der kleinsten Teilerschritte, sondern durch Multiplikation der kleinsten Teilerfaktoren.

Für einen binär kodierten, dekadisch einstellbaren logarithmischen Teiler müssen also pro Dekade an die Stelle der vier unterschiedlichen Summanden vorgegebener Wertigkeit vier unterschiedliche Faktoren vorgegebener Wertigkeit treten.

Dies erreicht man, indem man die bisherigen in Serie geschalteten Teillereinheiten durch Teillerelemente ersetzt, deren Ausgang jeweils mit dem Eingang des nächstfolgenden Teillerelementes verbunden ist. Während für die Serienschaltung naturgemäß eine Speisung mit konstantem Strom erforderlich war, muß jetzt das erste der Teillerelemente mit konstanter Spannung eingespeist werden.

Erfindungsgemäß läßt sich also die gestellte Aufgabe lösen, indem man einen binär kodierten, dekadisch einstellbaren logarithmischen Teiler vorsieht, der dadurch gekennzeichnet ist,

- daß er sich aus einer Anzahl von Teillerelementen zusammensetzt, deren Ausgänge jeweils mit dem Eingang des nächstfolgenden Teillerelementes verbunden sind,
- daß jeweils mindestens vier Teillerelemente eine Dekade bilden,
- daß jedes Teillerelement zwei Schaltzustände einnehmen kann, die unterschiedliche Teilungsverhältnisse des Teillerelementes bewirken,
- daß jedes Teillerelement einen Signaleingang besitzt,
- daß ein binäres Signal an diesem Signaleingang den Schaltzustand und damit das Teilungsverhältnis des Teillerelementes bestimmt,
- daß innerhalb jeder Dekade durch eine entsprechende Codierung der Schaltzustände der Teillerelemente eine Folge von mindestens 9 Schaltstufen eingestellt werden kann, deren Teilverhältnisse sich untereinander wie die Glieder einer geometrischen Reihe verhalten.

Für einen solchen Teiler ergeben sich zahlreiche Anwendungsbereiche, von denen nur einige genannt werden sollen: Empfindlichkeitseinsteller an Prüf- und Meßgeräten der zerstörungsfreien Werkstoffprüfung, der Fernmeldetechnik, der Elektroakustik, insbesondere solche, die mehrkanalig oder auch automatisch arbeiten.

Um die Erfindung besser verständlich zu machen, wird im folgenden an Hand von Fig. 1 bis 3 ein dB-Teiler dargestellt und rechnerisch erläutert.

Es zeigen im einzelnen

Fig. 1 das Blockschaltbild eines binär kodierten, dekadisch einstellbaren logarithmischen Teilers mit 2 Dekaden

Fig. 2 ein Teillerelement eines solchen Teilers

Fig. 3 einen Dekadenschalter zum Einstellen einer Teilerdekade

Teiler 1 nach Fig. 1 mit den Teillerelementen 2 bis 9 besitzt einen Analogeingang 10 und einen Analogausgang 11. Die Teillerelemente 2 bis 5 bilden die erste Dekade, die Teillerelemente

6 bis 9 die zweite Dekade des Teilers. Jedem Teillerelement ist einer der Signaleingänge 12 bis 19 zugeordnet.

In Fig. 2 ist die mögliche Realisierung eines der Teillerelemente 2 bis 9 dargestellt. Eingang 25 ist mit dem Ausgang des vorhergehenden Teillerelementes oder mit Eingang 10 des Teilers verbunden, Ausgang 26 ist mit dem Eingang des nächstfolgenden Teillerelementes oder mit dem Ausgang 11 des Teilers verbunden.

Rechenverstärker 27 sorgt für hinreichende Entkopplung von Eingang und Ausgang. Über Signaleingang 33 kann der Feldeffekttransistor 32 geöffnet oder gesperrt werden.

Bei gesperrtem Transistor 32 bestimmt sich das Verhältnis von Ausgangs- zu Eingangsspannung U_2 , hinreichend große

U_I

Verstärkung des Rechenverstärkers 27 vorausgesetzt, aus dem Verhältnis des zwischen Ausgang 26 und dem invertierenden Eingang des Rechenverstärkers 27 liegenden Widerstand 31 zum Widerstand 29. Nehmen wir den Fall an, daß das Verhältnis U_2 im gesperrten Schaltzustand 1 sein soll, so

U_I

müssen die Widerstände 31 und 29 gleich groß dimensioniert werden.

Im geöffneten Schaltzustand liegt zwischen invertierendem Eingang 28 des Rechenverstärkers und dem Ausgang 26 die Parallelschaltung der Widerstände 30 und 31.

Das Spannungsverhältnis U_2 ergibt sich aus dem Verhältnis U_I

des Widerstandes dieser Parallelschaltung zum Widerstand 29.

Wenn wir das Verhältnis U_2 im gesperrten Schaltzustand als U_I

Ko und im geöffneten Schaltzustand als Ko.Ku bezeichnen, so bestimmt sich bei gegebenem Widerstand 31 Ko aus Widerstand 29 und Ku aus Widerstand 30.

In Fig. 3 ist noch einmal 1 Dekade des Teilers 1 von Fig. 1 mit einem Dekadenschalter 39 zur Einstellung dieser Dekade dargestellt.

Die vier Schaltelemente 35, 36, 37 und 38 des Dekadenschalters 39 sind mechanisch miteinander gekoppelt und können auf 10 verschiedene Stufen, in unserem Beispiel die Stufen 0 - 9 dB, eingestellt werden. Sie haben die Aufgabe für jede der 10 Stufen den Signaleingängen 12 bis 15 die dem Code entsprechenden binären Signale zuzuführen. Sie tun dies, indem sie den jeweiligen Signaleingang mit der Signalspannungsquelle U_S verbinden oder nicht verbinden.

Im vorliegenden Falle wurde der Code 1242 gewählt. Die Teilelemente 2, 3, 4, 5 besitzen also jeweils die Wertigkeit 1, 2, 4 bzw. 2.

In der Stufe 0 dB erhält kein Signaleingang Verbindung mit der Signalspannungsquelle U_S . Anders ausgedrückt, die Signaleingänge erhalten das binäre Signal 0.

In der Stufe 1 dB liegt am Signaleingang 12 des Teilelementes 2 die Signalspannung U_S , anders ausgedrückt, das binäre Signal 1. Es ist also ein Teilelement mit der Wertigkeit 1 eingeschaltet.

In Stufe 2 dB ist Teilelement 3 mit der Wertigkeit 2, in Stufe 3 dB Teilelement 2 und 3 mit der Gesamtwertigkeit 3 eingeschaltet und so fort bis in Stufe 9 dB, wo alle Teilelemente mit der Gesamtwertigkeit 9 eingeschaltet sind.

Im folgenden soll angegeben werden, welche Teilungen im Fall des dB-Teilers den einzelnen Wertigkeiten entsprechen.

Allgemein gilt für eine Teilung

$$1) \quad \frac{U_{an}}{U_e} = K_n$$

mit Eingangsspannung U_e , Ausgangsspannung U_{an} und Teilerfaktor K_n . Sollen sich Teilverhältnisse untereinander, wie die Glieder einer geometrischen Reihe verhalten, so muß gelten

$$2) \quad K_n = K_0 \cdot K_x^{-n} \quad (n = 0, 1, 2, 3 \dots)$$

mit K_0 als festem Teiler- oder Verstärkungsfaktor, der auch 1 sein kann. K_x ist darin der kleinste mögliche Teilungsschritt für ganzzahlige n , denn nach Gleichung 1 und 2 gilt:

$$3) \quad \frac{U_{an}(n+1)}{U_{an}} = \frac{K_x^{-(n+1)}}{K_x^{-n}}$$

$$4) \quad = \frac{1}{K_x}$$

Definitionsgemäß entspricht dem in dB ausgedrückten Verhältnis zweier Spannungen der 20fache Zahlenwert des Logarithmus des Quotienten der beiden Spannungen.

5) $v \text{ (in dB)} = 20 \lg \frac{U_n}{U_0}$

Der kleinste mögliche Teilerschritt für ganzzahlige n , bei einer Dekade von $0 = 9 \text{ dB}$ also 1 dB, ergibt sich aus dem Verhältnis der Spannungen U_n ($n + 1$) zu U_n .

6) $-1 = 20 \lg \frac{U_n (n+1)}{U_n}$

7) $-\frac{1}{20} = \lg \frac{U_n (n+1)}{U_n}$

8) $\frac{U_n (n+1)}{U_n} = 10^{-1/20} = \frac{1}{\sqrt[20]{10}}$

Wir erhalten aus Gleichung 4 und 8 den kleinsten möglichen Teilerschritt für ganzzahlige n .

9) $K_x = \sqrt[20]{10}$

Aus Gleichung 2 und 9 lassen sich jetzt leicht die Teilerfaktoren K_n für die verschiedenen Zahlenwerte von n errechnen. n kann dabei nicht nur ganzzahlige Werte, sondern auch dekadische Bruchteile wie etwa 0,1; 0,2; 0,3 oder 0,01; 0,02 usw. einnehmen.

Für die Teillerelemente 2, 3, 4 und 5 ergeben sich so mit die Teilerfaktoren K_1 , K_2 , K_4 und K_2 . Für die Teillerelemente 6, 7, 8 und 9 ergeben sich die Teilerfaktoren K_{10} , K_{20} , K_{40} und K_{20} , falls bei dieser Dekade als kleinster Teilerschritt ein solcher von 10 dB vorgesehen ist.

Es sollen beispielsweise - 35 dB mit einem Teiler 1 nach Fig. 1 eingestellt werden. Dazu muß an den Signaleingängen 12, 14, 16 und 17 das binäre Signal L liegen. Es ergibt sich nach Gleichung 3 eine Teilung:

10)
$$\frac{U_n 35}{U_0} = \left(\frac{20}{\sqrt[20]{10}}\right)^{-1} \cdot \left(\frac{20}{\sqrt[20]{10}}\right)^{-4} \cdot \left(\frac{20}{\sqrt[20]{10}}\right)^{-10} \cdot \left(\frac{20}{\sqrt[20]{10}}\right)^{-20}$$
$$= \left(\frac{20}{\sqrt[20]{10}}\right)^{-35}$$

oder in dB

11) $20 \lg \left(\frac{20}{\sqrt{10}} \right)^{-35} = -35 \text{ dB}$

Erfindungsgemäß kann die für Teiler 1 im Beispiel benutzte Einheit dB durch jede andere logarithmische Einheit ersetzt werden.

Selbstverständlich muß auch die Entkopplung von Eingangs- und Ausgangsspannung eines Teilerelements nicht durch einen Rechenverstärker erfolgen, sondern kann in jeder anderen gewünschten Weise vorgenommen werden. So kann in ganz einfachen Fällen mit geringen Genauigkeitsforderungen schon eine hinreichende Rückwirkungsfreiheit des Ausganges dadurch erzielt werden, daß der nächstfolgende angeschlossene Eingang hochohmig gegenüber dem Ausgang ist.

Weiterhin ist für die Erfindung ohne Belang, wie die Um- schaltung der Teilerfaktoren erfolgt. Sie kann unter anderem mit Hilfe von Halbleitern, etwa Feldeffekttransistoren, oder von mechanischen Schaltern, etwa Reedkontakte, erfolgen.

1) Binär kodierter, dekadisch einstellbarer logarithmischer Teiler, dadurch gekennzeichnet,

daß er sich aus einer Anzahl von Teillerelementen zusammensetzt, deren Ausgänge jeweils mit dem Eingang des nächstfolgenden Teillerelementes verbunden sind,

daß jeweils mindestens vier Teillerelemente eine Dekade bilden,

daß jedes Teillerelement zwei Schaltzustände einnehmen kann, die unterschiedliche Teilungsverhältnisse des Teillerelementes bewirken,

daß jedes Teillerelement einen Signaleingang besitzt,

daß ein binäres Signal an diesem Signaleingang den Schaltzustand und damit das Teilungsverhältnis des Teillerelementes bestimmt,

daß innerhalb jeder Dekade durch eine entsprechende Codierung der Schaltzustände der Teillerelemente eine Folge von mindestens 9 Schaltstufen eingestellt werden kann, deren Teilverhältnisse sich untereinander wie die Glieder einer geometrischen Reihe verhalten.

2) Teiler nach Anspruch 1, dadurch gekennzeichnet,

daß die binären Signale zum Bestimmen des Teilungsverhältnisses der Teillerelemente von einem beliebigen Programmgeber geliefert werden.

3) Teiler nach Anspruch 1, dadurch gekennzeichnet,

daß die binären Signale zum Bestimmen des Teilungsverhältnisses der Teillerelemente für jede Dekade von einem Dekadenschalter geliefert werden.

4) Teiler nach Anspruch 3, dadurch gekennzeichnet,

daß ein solcher Dekadenschalter mindestens 4 Ausgänge besitzt, die mit den Signaleingängen der Teillerelemente der jeweiligen Dekade verbunden sind und dort das je nach Code erforderliche binäre Signal zum Einstellen des Teilungsverhältnisses abgeben.

5) Teiler nach Anspruch 1, 2, 3 oder 4, dadurch gekennzeichnet,
daß Mittel in den einzelnen Teillerelementen vorgesehen sind, die den Ausgang dieses Teillerelementes wirksam von seinem Eingang entkoppeln.

6) Teiler nach Anspruch 5, dadurch gekennzeichnet,
daß zur wirksamen Entkopplung von Ausgang und Eingang eines Teillerelementes ein Rechenverstärker vorgesehen ist, dessen Rückkopplungsbeschaltung für das Teilungsverhältnis des Teillerelementes maßgebend ist.

7) Teiler nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,
daß zum Umschalten des Teilungsverhältnisses eines Teillerelementes ein Halbleiter, etwa ein Feldeffekttransistor, benutzt wird.

8) Teiler nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet,
daß zum Umschalten des Teilungsverhältnisses eines Teillerelementes ein mechanischer Schalter, etwa ein Reedkontakt, benutzt wird.

1962725

42 m 3 7-38 AT: 15.12.1969 OT: 11.11.1971

Fig. 1

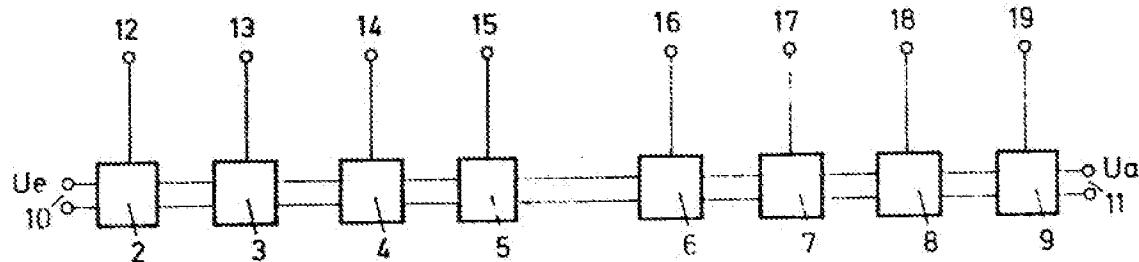
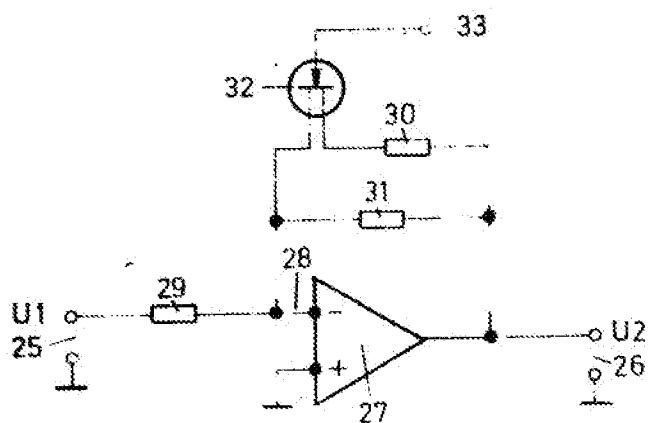


Fig. 2

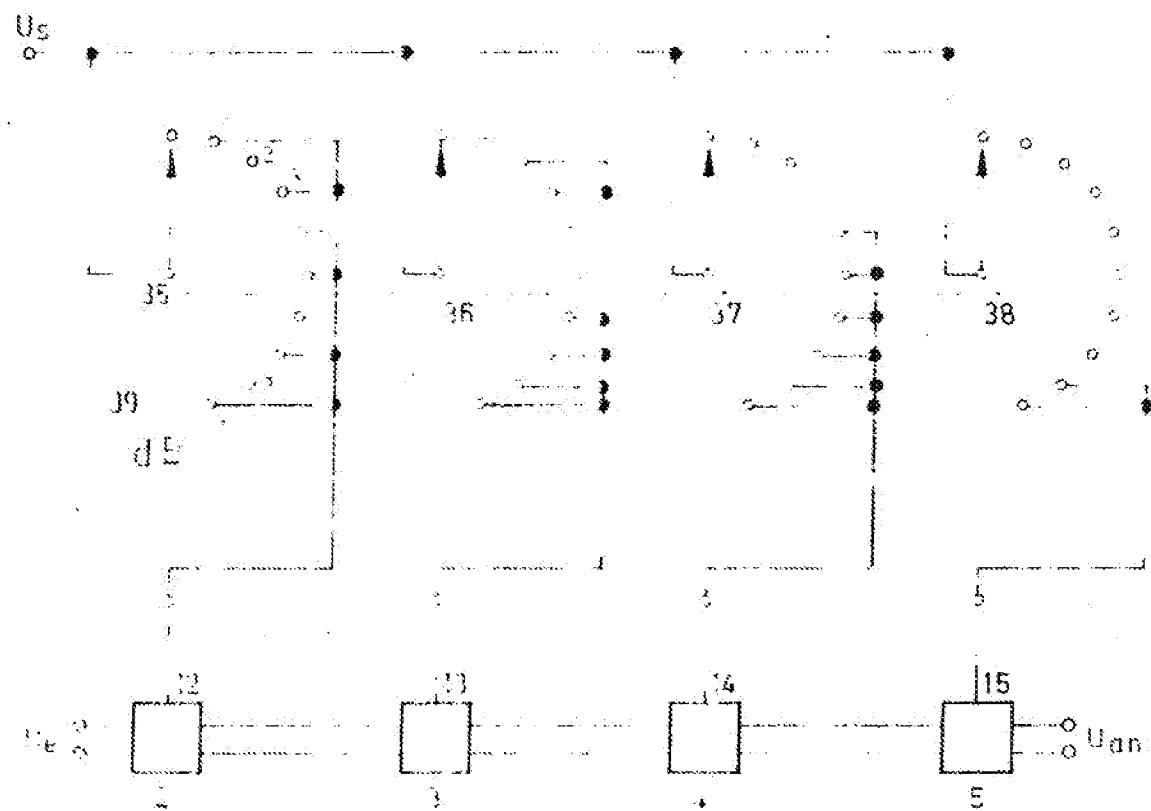


109846/1463

1962725

10

Fig. 3



109836/1661

BAD ORIGINAL